

4

Sho 60-55459

(19) Japan Patent Office (JP)

(12) Laid-open Patent Gazette (A)

(11) Laid-open Patent Application Sho 60-55459

(43) Date Published: March 30, 1985

(51) Int. Cl.⁴	ID No.	Office Control No.
G 06 F 13/16		6974-5B
12/02		6974-5B
12/08		8219-5B

Examination Request: Not Requested

Number of Inventions: 1 (Total 10 pages in original)

(54) Title of Invention: Block Data Transfer and Storage Control Method

(21) Application Number: Sho 58-163161

(22) Application Date: September 7, 1983

(72) Inventor: Yoshihiro Miyazaki

c/o Omika Plant, Hitachi, Ltd.

5-2-1 Omika-cho, Hitach-shi

(71) Applicant: Hitachi, Ltd.

4-6 Kanda-Surugadai, Chiyoda-ku, Tokyo

(74) Agent: Masami Akimoto, Patent Agent

SPECIFICATION

TITLE OF THE INVENTION

Block Data Transfer and Storage Control Method

CLAIMS

1. A block data transfer and storage control method in a processing device structured so that the main processing device or input/output processing device, as the access origin, accesses the (main) memory via a memory control device,

wherein, when a request occurs at the access origin to transfer and store block data present at a nonspecific transfer origin memory area to a nonspecific transfer destination memory area that is another memory area within the same memory,

the access source transfers the transfer origin and transfer destination memory area starting addresses or ending addresses to the memory control device as transfer origin and transfer destination addresses, together with address update mode information and number of words to transfer, according to a decision on the size relationship between the transfer origin and transfer destination memory area addresses;

and the control device updates the transfer origin and transfer destination addresses, each time read data is transferred and stored from the transfer origin memory area to the transfer destination memory area, in the direction specified by said address update mode information, until the number of transfers and storages matches said number of words to transfer;

thereby controlling transfer and storage of block data from the transfer origin memory area to the transfer destination memory area.

2. The block data transfer and storage control method of claim 1 wherein, when memory access by the main processing device is performed via a cache memory, the cache memory compares and monitors each address in the (main) memory corresponding to data stored in itself and transfer destination addresses from the memory control device while transfer and storage are being performed, and if address matching is detected, data corresponding to that address is treated as invalid.

DETAILED DESCRIPTION OF THE INVENTION

Application Field of the Invention

The present invention pertains to a block data transfer and storage control method that transfers and stores block data stored in a memory area to another memory area within the same memory at high speed.

Invention's Background

It is often necessary to transfer and store block data stored in a certain memory area to another memory area within the same memory, but at present this transfer and storage cannot be done at high speed. What is referred to as block data transfer and storage is ordinarily, as shown in FIG. 1, in a case in which a data group having some sort of relationship continuously from address A to address B in memory 1 is stored as block data, the storage of that block data from address A' to address B' at another

memory area in a specified address sequence. Data at address A is transferred to and stored at address A', and that at address B respectively is transferred to and stored at address B'. This sort of block data transfer and storage is necessary in various types of processing fields, and its necessity is particularly high in fields such as text processing, phone terminal processing, CAD (Computer Aided Design), file management, etc. For example, when performing corrections on the display screen in a display device such as a CRT or the like, particularly when inserting or deleting a line or changing its position, the transfer and storage of about 80 bytes of block data frequently occurs.

FIG. 2 is a drawing showing the general overall structure of a processing device in accordance with the premises of the present invention.

According to this, (main) memory (main storage device) 1 stores programs and data, so a plurality of memory 1 is provided in order to improve throughput through interleaving. Control of writing to memory 1 or reading from memory 1 is performed by memory control device 2 via memory bus 6. Memory control device 2 is connected to bus 7; also connected to bus 7 are input/output processing device 5, and main processing device 4, which is connected via cache memory 3. In response to a memory read request from main processing device 4, cache memory 3 decides whether or not it stores within itself data related to that request, and if [that data] is stored within itself it reads that data from within itself and immediately transfers it to main processing device 4. If [that data] is not stored within itself, that data is read from memory 1 via memory control device 2, and then transferred to main processing device 4, and simultaneously stored within itself. Also, in response to a memory write request from main processing device 4, if data related to that write address is stored within itself, cache memory 3 rewrites and changes the data at that write address to the write data, and regardless of whether it is stored or not writes that data to memory 1 via memory control device 2. In addition, cache memory 3 monitors address signals transferred from input/output processing device 5 to memory control device 2, and if data at the address that is written to is stored within itself, that data is invalidated.

*cache 3
operations*

The following sorts of methods are known for performing high-speed block data transfer and storage in this sort of processing device.

That is, a first method is to transfer and store, from the access origin (main processing device 4) to memory control device 2, the transfer origin address, transfer destination address, and number of words to transfer, and subsequently memory control device 2 continues to update these addresses in the direction of increase, and to decrease the number of words to transfer, and to perform block data transfer and storage. Nevertheless, in this method block data transfer and storage is performed in the direction in which both the transfer origin address and the transfer destination address increase, so [there is no problem] if no parts of the transfer origin memory area and the transfer destination memory area overlap, but if they overlap failures occur. For example, in the case shown in FIG. 3, in which parts of the transfer origin memory area (addresses A-B) and the transfer destination memory area (addresses A'-B') overlap, if an attempt is made to transfer and store data at address A at address A', the contents of data at address A' are completely changed even though it is within the transfer origin memory area and should be transferred and stored later. Also, in this method transfer and storage processing is executed only between memory 1 and memory control device 2, so even if

data at addresses included in the transfer destination memory area is stored in cache memory 3 before transfer and storage, cache memory 3 is unable to perform any processing during transfer and storage, so it is clear that after transfer and storage the memory 1 data in cache memory 3 and the data in memory 1 do not agree.

A second method is to implement a simultaneous processing function in main processing device 4, and to sequentially read from the transfer origin memory area the data to be transferred by interleaving from memory 1, and to delay the read data for a certain time and then write it to memory 1 by interleaving. Starting reading and writing and updating addresses in this method is guided by main processing device 4, and the read data is transferred toward memory 1 as write data via main processing device 4, but when block data transfer and storage is performed in this manner the block data transfer speed is determined by the data transfer route unit with the lowest throughput. Generally speaking, in processing devices that seek high-speed processing the throughput of memory 1 itself is usually at least twice as high as data transfer between main processing device 4 and memory 1, but with this method it is not possible to achieve that high throughput.

Finally, a third method that has been contemplated is to not transfer data at input/output processing device 5 only between memory 1 and the input/output device, but rather to perform data transfer within memory 1 and lessen the load on main processing device 4. Nevertheless, with this method input/output processing device 5 increments the transfer origin and transfer destination addresses and performs block data transfer and storage while updating the addresses, so memory area overlaps produce the same sort of failures as in the first method. Also, with this method input/output processing device 5 receives instructions from main processing device 4 and controls and executes transfer and storage, but if the data being transferred is small (a few tens of bytes or so) data transfer and storage comes to a complete halt until main processing device 4 switches to and executes another program, and accelerating data transfer and storage cannot be achieved.

Object of the Invention

The object of the present invention is to provide a block data transfer and storage control method that transfers and stores block data stored at a certain memory area to another memory area in the same memory at high speed even if parts of the memory areas overlap, regardless of the overlap configuration, and without imposing a burden on the access origin.

Summary of Invention

In order to achieve this object, the present invention is constituted so that when the memory control device receives the transfer origin address and the transfer destination address as a memory area starting address or ending address from the access origin, number of words to transfer, and address update mode information, block data is transferred and stored within the same memory in a way such that the transfer origin and the transfer destination addresses are updated in the direction corresponding to the address update mode information. If the transfer origin starting address at the access origin is larger than the transfer destination starting address, the transfer origin starting address and the transfer destination starting address are transferred to the memory control

device as the transfer origin and transfer destination addresses, and increasing specification mode is transferred as the address update mode information. On the other hand, in the opposite situation the transfer origin ending address and the transfer destination ending address are transferred to the memory control device from the access origin as the transfer origin and transfer destination addresses, and decreasing specification mode is transferred as the address update mode information.

Working Examples of the Invention

Next, the present invention shall be explained using FIG. 4 through FIG. 11.

FIG. 4 schematically shows a cache memory and memory with the main functions of a memory control device in accordance with the present invention. Transfer origin address, transfer destination address, number of words to transfer, and address update mode information from cache memory 3 or input/output processing device [5] as the access origin are provided to memory control device 2 via bus 7, and then set in transfer origin address counter 202, transfer destination address counter 203, and address update mode specification register (1 bit) 201. This is not shown in the drawing, but the number of words to transfer is set in a separately provided remaining number of words to transfer counter. Then the count modes of counters 202 and 203 are specified by register 201, and if counters 202 and 203 are updated after data is read in address units from the transfer origin memory area in memory 1—that is, each time that data is written to the transfer destination memory area—block data in the transfer origin memory area is transferred to the transfer destination memory area at high speed and stored there. The counter for the remaining number of words to transfer, which is set with number of words to transfer, is decremented each time data is transferred and stored, and when that count value reaches zero, transfer and storage ends. Incidentally, when transfer and storage is performed, the contents of the data at the transfer destination memory area change and are different after transfer and storage than before, so failures occur if cache memory 3 is storing data included in the transfer destination memory area. Japanese Patent Application No. Sho 57-122153 discloses invalidation mechanism 31 in cache memory 3; the occurrence of this sort of problem can be prevented by using this to monitor addresses from counter 203. That is, it monitors and compares each address in memory 1 corresponding to data stored within itself and addresses from counter 203, and if it detects an address match the data corresponding to that address is treated as invalid.

FIG. 5 shows the specific structure of one example of that memory control device. According to this, the memory control device has bus occupancy selection circuit 205 related to bus occupancy control, and has function register 209, address register 208, write data register 207, read data register 211, and memory access control circuit 210 related to normal memory access control. In addition, it has the previously described transfer origin address counter 202, transfer destination address counter 203, remaining number of words to transfer counter 204, address update mode specification register 201, and additionally block data transfer control circuit 206 related to block data transfer. Furthermore, codes 212-222 in FIG. 5 indicate gates; their passage control is performed by memory access control circuit 210 or block data transfer control circuit 206.

Now, the operation of the aforesaid sort of memory control device shall be described as follows.

First, an ordinary memory read access operation is started by outputting bus occupancy request 234 from the cache memory or input/output processing device as the access origin to bus occupancy selection circuit 205. FIG. 6 shows major input/output signals and input/output data in the memory access operation. Bus occupancy request 234 is input to bus occupancy selection circuit 205 via a signal line corresponding to the access origin; bus occupancy requests 239 and 237 from memory access control circuit 210 and block data transfer control circuit 206 are also input to bus occupancy selection circuit 205. When bus occupancy selection circuit 205 has requests for bus occupancy, it selects one of them and then functions to provide bus occupancy permission. Bus occupancy permission 235 is given to the access origin, and bus occupancy permissions 238 and 236 are given to memory access control circuit 210 and block data transfer control circuit 206 respectively. FIG. 6 shows a case in which bus occupancy permission 235 is provided in response to bus occupancy request 234 from the access source.

The access source that receives bus occupancy permission 235 is started by it and can occupy the bus, and transfers function signal 231 and address signal 232. These signals are set in function register 209 and address register 208 in the memory control device; if the contents of function signal 231 are decoded by memory access control circuit 210 as memory read access, read mode memory function signal 241 and memory address signal 242 are provided to the memory. Meanwhile, the data read at the memory based on those signals is output as memory data 243 synchronized with memory response 240. Memory data 243 from the memory is temporarily set in read data register 211, and bus occupancy request 239 is output from memory access control circuit 210 to bus occupancy selection circuit 205 based on memory response 240. If the result of bus occupancy selection circuit 205's selection in response to this is to provide bus selection permission 238, memory access control circuit 210 outputs the contents of read data register 211 on the bus as data 233, and meanwhile outputs access origin identification information to the access origin as response 230. When the access origin detects that it itself has been specified by this access origin identification information, it starts taking data 233.

Ordinary read access to the memory is as described above, and ordinary write access too can be performed in the same way by this.

32 Next, block data transfer and storage shall be described. FIG. 7 focuses on the operation when this starts. This case includes the same sort of bus occupancy protocol as in ordinary memory access by the access origin; function signal 231 and data 233 from the access origin are respectively set in function register 209 and write data register 207. If block data transfer control circuit 206 decodes the contents of function register 209 and detects that it is a write request for the transfer origin address, the contents of write data register 207 are set in transfer destination address counter 202, and response 230 is transferred to the access origin. The access origin thereby next sets the transfer destination address in transfer destination address counter 203 in the same manner as above, and then sequentially sets the number of words to transfer and the address update mode information in remaining number of words to transfer counter 204 and address update mode specification register 201. In this case the number of words to transfer from the access origin and the address update mode information set request also function as a block data transfer and storage start request, so block data transfer control circuit 206

immediately starts block data transfer and storage after setting the number of words to transfer and address update mode information ends. Transfer and storage shall be explained in detail later, but when transfer and storage ends, response 230 to that effect is sent from block data transfer control circuit 206 back to the access origin. Therefore, the access source performs three continuous accesses in exactly the same manner as an ordinary write access, and then finishes simply by receiving a response to the effect that transfer and storage has ended, so high-speed transfer and storage of block data can be performed with little burden.

Now the relationship between the write data register and the remaining number of words to transfer counter and the address update mode specification register shall be explained using FIG. 8. Data 233 from the access origin is set as 32 bits, for example, but address update mode information and number of words to transfer are transferred simultaneously from the access origin in this example. In this, one bit suffices for the address update mode information, so the remaining 31 bits can be used for the number of words to transfer, but in this example one word is 32 bits and a maximum of 255 words can be transferred and stored at one time. Eight bits are assigned for the number of words to transfer, but it is not limited to this, of course.

Now, how transferring and storing block data is performed shall be explained using FIG. 9.

When address update mode information and number of words to transfer are set from the access origin, block data transfer control circuit 206 first outputs bus occupancy request 237 to bus occupancy selection circuit 205. If occupancy permission 236 is provided in response to this, next the contents of transfer destination address counter 203 are output as address signal 232; also output is function signal 231 indicating prior transfer and storage of the first data synchronized with this. Thereby the cache memory invalidates data when required using its cache invalidation mechanism. Meanwhile, in parallel with this, block data transfer control circuit 206 makes memory function signal 241 the read mode and outputs the contents of transfer origin address counter 202 to the memory as memory address signal 242, and thereby reads data corresponding to memory address signal 242 from the memory as memory data 243. In this case memory data 243 is read from memory and should be on the bus for a set time, so after response 240 is acquired, if memory function signal 241 is made the write mode and the contents of transfer destination address counter 203 are output as memory address signal 242, memory data 243 is transferred to and stored at the transfer destination memory area. Therefore, during the period until the contents of remaining number of words to transfer counter 204 become zero, the contents of remaining number of words to transfer counter 204 are decremented each time transfer and storage of one datum ends, and transfer origin and transfer destination address counters 202 and 203 undergo the specified updating, after which the aforesaid operation can be repeated.

FIG. 10 shows how address counters 202 and 203 are controlled by address update mode specification register 201. Address counters 202 and 203 are both reversible counters that can be reset, and whether they both count up or count down depends on the output status of the flip-flop that is address update mode specification register 201. The update direction of memory address signal 242 generated by address counters 202 and 203 is controlled according to set output 246 and reset output 245. This example is a case

of setting, controlled to count down. Furthermore, address update timing signal 247 is created by block data transfer control circuit 206 based on memory response 240 to accompany data transfer and storage.

Finally, the microprogram flow related to block data transfer and storage shall be explained. FIG. 11 shows the microprogram flow executed in the main processing device. In this case, first the bit pattern "000000FF" (hexadecimal notation) and the number of words to transfer (DC) undergo a logical product operation (AND), and the result is stored in temporary work register WK1. Here the maximum value for the number of words to transfer is "FF" (hexadecimal notation for each 4 bits), so it is necessary to first make the unspecified higher-order 24 bits "0". Next, the transfer origin and the transfer destination starting addresses are stored in temporary work registers WK2 and WK3 respectively, after which their size relationship is determined. According to the results of this decision, the transfer origin starting address and transfer destination starting address or the transfer origin ending address and transfer destination ending address are transferred to the memory control device as the transfer origin address and transfer destination address. If the transfer origin ending address and transfer destination ending address are transferred as the transfer origin address and transfer destination address, the contents of temporary work register WK1 undergo a logical sum operation (OR) with the bit pattern "80000000"; this is in order to make the address update mode information "F" into "1".

The present invention is as described above, and of course it can also be applied even if the transfer origin memory area and the transfer destination memory area completely match.

Effect of the Invention

The present invention, as described above, transfers and stores block data within the same memory by receiving transfer origin address, transfer destination address, number of words to transfer, and address update mode information from the access origin that generated a request for transfer and storage, and the memory control device updates the transfer origin and transfer destination addresses in the direction corresponding to the address update mode information. Therefore, the present invention has the effect that it transfers and stores block data stored at a certain memory area to another memory area in the same memory correctly and at high speed even if parts of the transfer origin memory area and the transfer destination memory area overlap, regardless of the overlap configuration, and without imposing on the access origin. In particular, it is possible to achieve high speed simply by making the data width between the memory and memory control device larger than in other parts, and data bus occupancy time on the memory bus for block data transfer is one-half of prior art, and decrease in throughput when transferring block data is reduced. The latest dynamic RAMs perform continuous address reading using nibble mode support (see *Nikkei Electronics*, April 1983), and the data bus load is large compared to the address bus load, so the present invention can have a great effect.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a drawing explaining ordinary block data transfer and storage within the same memory. FIG. 2 is a drawing showing the general overall structure of a processing

device in accordance with the premises of the present invention. FIG. 3 is a drawing explaining a failure when the transfer origin and transfer destination memory areas overlap. FIG. 4 is a drawing schematically showing the major functions in both cache memory and memory of a memory control device in accordance with the present invention. FIG. 5 is a drawing showing the specific structure of one example of a memory control device in accordance with the present invention. FIG. 6 is a drawing showing major I/O signals and I/O signal timing in order to explain the ordinary memory read access operation in that memory control device. FIG. 7 similarly is a drawing showing major I/O signals and I/O signal timing in order to explain the operation when a block data transfer and storage operation starts in that memory control device. FIG. 8 is a drawing showing the relationship between the write data register and the remaining number of words to transfer counter and the address update mode specification register in that memory control device. FIG. 9 is a drawing showing major I/O signals and I/O signal timing in order to explain a block data transfer and storage operation according to the present invention in a memory control device. FIG. 10 is a drawing for explaining how the transfer origin and transfer destination addresses are updated and controlled according to address update mode information. FIG. 11 is a drawing showing the microprogram flow related to the block data transfer and storage executed in the main processing device.

1... (main) memory (main storage device), 2... memory control device, 3... cache memory, 4... main processing device, 5... I/O processing device, 31... cache invalidation mechanism, 201... address update mode specification register, 202... transfer origin address counter, 203... transfer destination address counter, 204... remaining number of words to transfer counter, 205... bus occupancy selection circuit, 206... block data transfer and control circuit, 207... write data register, 208... address register, 209... function register.

Agent: Masami Akimoto, Patent Agent

FIG. 1

Address

FIG. 2

FIG. 3

Address

FIG. 4

Cache invalidation mechanism

FIG. 5

FIG. 6

Bus occupancy request 234

Bus occupancy permission 235

Function signal 231

Address signal 232

Data 233

Response 230

Memory function signal 241

Memory address signal 242

Memory data 243

Memory response 240

Bus occupancy request 239

Bus occupancy permission 238

FIG. 7

Bus occupancy request 234

Bus occupancy permission 235

Function signal 231

Address signal 232

Data 233

Response 230

Block data transfer

FIG. 8

FIG. 9

Bus occupancy request 237

Bus occupancy permission 236

Function signal 231

Address signal 232

Memory function signal 241

Memory address signal 242

Memory data 243

Memory response 240

FIG. 10

FIG. 11

First operand (number of transfer words)

Second operand (transfer origin starting address)

Third operand (transfer destination starting address)

Yes (Transfer from larger address)

No (Transfer from smaller address)

Wait for response

Wait for response

Wait for response

Wait for response

Wait for response

Wait for response

③ 公開特許公報(A)

昭60-55459

⑥ Int. Cl.

G 06 F 13/16
12/02
12/08

識別記号

庁内整理番号

6974-5B
6974-5B
8219-5B

④ 公開 昭和60年(1985)3月30日

審査請求 未請求 発明の数 1 (全10頁)

④ 発明の名称 ブロックデータ転送記憶制御方法

⑦ 特 願 昭58-163161

⑧ 出 願 昭58(1983)9月7日

② 発 明 者 宮 崎 義 弘 日立市大みか町5丁目2番1号 株式会社日立製作所大み
か工場内

① 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

④ 代 理 人 弁理士 秋本 正実

明 細 書

発明の名称 ブロックデータ転送記憶制御方法
特許請求の範囲

1. アクセス元としての主処理装置、入出力処理装置がメモリ制御装置を介し(主)メモリをアクセスし得るように構成されてなる処理装置におけるブロックデータ転送記憶制御方法にして、不特定転送元メモリエリアに存するブロックデータを同一メモリ内の他のメモリエリアとしての不特定転送先メモリエリアに転送記憶する要求がアクセス元に生じた際、該アクセス元は転送元、転送先のメモリエリアのアドレス上での大小関係の判定結果に応じ転送元、転送先のメモリエリアの先頭アドレスあるいは末尾アドレスを転送元、転送先のアドレスとしてアドレス更新モード情報、転送回数とともにメモリ制御装置に転送する一方、該制御装置は転送元メモリエリアからの読出データの転送先メモリエリアへの転送記憶を行なう際に、転送元、転送先のアドレスを、転送記憶回数が上記転送回数に一致するまでの間上記アドレス更新

モード情報の指定する方向に更新することによつて、転送元メモリエリアからのブロックデータの転送先メモリエリアへの転送記憶を制御することとを特徴とするブロックデータ転送記憶制御方法。
2. 主処理装置によるメモリアccessがキャッシュメモリを介して行なわれる場合、キャッシュメモリは自己内に記憶されているデータ対応の(主)メモリ上アドレスの各々とメモリ制御装置からの転送先アドレスとを転送記憶が行なわれている間比較監視し、アドレス一致が検出された場合には該アドレス対応のデータを無効として処理する特許請求の範囲第1項記載のブロックデータ転送記憶制御方法。

発明の詳細な説明

〔発明の利用分野〕

本発明は、同一メモリ内に於けるメモリエリアに記憶されているブロックデータが他のメモリエリアに高速に転送記憶されるようにしたブロックデータ転送記憶制御方法に関するものである。

〔発明の背景〕

同一メモリにおいて、あるメモリエリアに記憶されているブロックデータを他のメモリエリアに転送記憶させることが在りて必要となつてゐるが、転送記憶を高速に行ない得ないのが現状である。ここにいうブロックデータの転送記憶とは、一般に第1図に示すようにメモリ1におけるアドレスAよりアドレスBに亘つて連続的に何等かの関連性をもつデータ群がブロックデータとして記憶されている場合において、そのブロックデータを他のメモリエリアであるところのアドレスA'よりアドレスB'に亘つて所定アドレス順に記憶せしめることをいう。アドレスAにおけるデータはアドレスA'に、また、アドレスBにおけるそれはアドレスB'といった具合に転送記憶されるものである。このようなブロックデータの転送記憶は多種の処理分野において必要となつており、特に文字処理、会話端末処理、CAD (Computer Aided Design)、ファイル管理などの分野でその必要性が高まつてゐる。例えばCRTなどのディスプレイ装置にて表示画面の修正を行

なう場合、特に行の挿入や削除、位置の変更などを行なう場合には80バイト程度のブロックデータの転送記憶が頻度大に行なわれるものとなつてゐる。

ここで本発明の前提に係る処理装置の一般的全体構成は第2図に示すようである。

これによると(主)メモリ(主記憶装置)1はプログラムやデータを格納するためのもので、インタリーブによりスループットの向上を図るべくメモリ1は複数設けられるものとなつてゐる。メモリ1に対する書込やメモリ1からの読出の制御はメモリ制御装置2がメモリバス6を介し行なうものとなつてゐる。メモリ制御装置2はバス7に接続されるが、バス7には入出力処理装置5の他、主処理装置4がキャッシュメモリ3を介し接続されるようになつてゐる。キャッシュメモリ3は主処理装置4からのメモリ読出要求に対してはその要求に係るデータが自己内に記憶されているか否かを判定し、自己内に記憶されている場合はそのデータを自己内より読み出して主処理装置4に即

転送するようになつてゐる。自己内に記憶されていない場合はメモリ制御装置2を介しそのデータをメモリ1より読み出したうえ主処理装置4に転送すると同時に、自己内に記憶するものとなつてゐる。また、主処理装置4からのメモリ書込要求に対してはキャッシュメモリ3はその書込アドレスに係るデータが自己内に記憶されている場合はその書込アドレスにおけるデータを書込データとなるべく逐次変更し、また記憶されているか否かとは無関係にそのデータをメモリ制御装置2を介しメモリ1に書き込むようになつてゐる。更にキャッシュメモリ3は入出力処理装置5からメモリ制御装置2に転送されるアドレス信号を監視するものとなつており、書込が行なわれたアドレスに対するデータが自己内に記憶されている場合にはそのデータを無効化するものとなつてゐる。

このようにしてなる処理装置にてブロックデータ転送記憶を高速に行なう方法として、これまで以下のようなものが知られてゐる。

即ち、第1の方法としては、アドレス元(主処

理装置4)よりメモリ制御装置2内に転送元アドレス、転送先アドレスおよび転送断数を転送記憶させ、しかる後メモリ制御装置2がそれらアドレスを累加方向に更新しつつ、しかも転送断数を減少させつつブロックデータの転送記憶を行なふとするものである。しかしながら、この方法による場合は、転送元アドレス、転送先アドレスともに増加させる方向でブロックデータの転送記憶が行なわれることから、転送元メモリエリアと転送先メモリエリアが一致しても重複しない場合は別にして、重複する場合には不具合を生じることになる。例えば第3図に示す如く転送元メモリエリア(アドレスA~B)と転送先メモリエリア(アドレスA'~B')とが一部重複する場合において、アドレスAにおけるデータをアドレスA'に転送記憶しようとするれば、アドレスA'におけるデータは転送元メモリエリア内のものとして後に転送記憶されるべきものであるにも拘わらずその内容が変更されてしまうことになるものである。また、この方法においてはメモリ1とメモリ制御装置2

との間で転送記憶処理が実行されるだけであるから、転送先メモリエリアに含まれるアドレスのデータが転送記憶前にキャッシュメモリ3に記憶されていても転送記憶中に於いてキャッシュメモリ3は何等の処理も概り得なく、したがって、転送記憶時にはキャッシュメモリ3上におけるメモリ1上のデータとメモリ1上のデータとは一致しなくなることは明らかである。

第2の方法としては、主処理装置4が同時処理機能を発揮してメモリ1よりインタリーブによつて転送されるべきデータを転送元メモリエリアより順次読み出す一方、読み出されたデータのある時間遅れを以てインタリーブによりメモリ1に書き込むようにするというものである。この方法においては読出、書き込みの起動とアドレスの更新は主処理装置4主導によつて行なわれ、また、読み出されたデータは主処理装置4を介し書き込みデータとしてメモリ1方向に転送されるが、このようにしてブロックデータの転送記憶を行なう場合には、全てのデータ転送経路部分のうち最もスループ

トの低いものによつてブロックデータ転送速度が定められてしまうことになる。一般に高速処理を目的とした処理装置では通常メモリ1自体のスループットは主処理装置4とメモリ1との間でのデータ転送のそれの2倍以上あるが、この方法ではその高いスループットを活かし得ないものとなっている。

従って第3の方法として入出力処理装置5にメモリ1と入出力装置間のデータ転送だけでなく、メモリ1相互間のデータ転送をも行なわしめ主処理装置4の負荷を軽減させることが考えられている。しかしながら、この方法による場合は入出力処理装置5は転送元、転送先のアドレスを増加するようにしてアドレスを更新しつつブロックデータの転送記憶を行なうことから、メモリエリアの重複の回避如何によつて第1の方法の場合と同様な不具合を生じることになる。また、この方法による場合入出力処理装置5は主処理装置4からの指令を受けて転送記憶を制御、実行するが、転送されるデータが数十バイト程度と小さい場合には

主処理装置4が他のプログラムを切替実行するまでにデータ転送記憶が終了してしまい、データ転送記憶の高速化は実効あるものとはなっていないのが実状である。

〔発明の目的〕

本発明の目的は、同一メモリ上に於いてメモリエリアが一部重複する場合であつても重複の回避如何を問わず、あるメモリエリアに記憶されているブロックデータが他のメモリエリアにアクセス元に負担をかけることなく高速に転送記憶されるブロックデータ転送記憶制御方法を提供するにある。

〔発明の概要〕

この目的のため本発明は、メモリ制御装置がアクセス元よりメモリエリアの先頭アドレスあるいは末尾アドレスとしての転送元アドレス、転送先アドレスの他、転送回数およびアドレス更新モード情報を受けた場合には、転送元、転送先のアドレスをアドレス更新モード情報に応じた方向に更新するようにしてブロックデータを同一メモリ上で転送記憶させるようにしたものである。アクセ

ス元では転送元先頭アドレスが転送先先頭アドレスより大である場合には転送元、転送先のアドレスとして転送元先頭アドレス、転送先先頭アドレスを、また、アドレス更新モード情報として増加指定モードをメモリ制御装置に転送する一方、逆の場合にはアクセス元より転送元、転送先のアドレスとして転送元末尾アドレス、転送先末尾アドレスが、アドレス更新モード情報としては減少指定モードがメモリ制御装置に転送されるようにしたものである。

〔発明の実施例〕

以下、本発明を第4図から第11図により説明する。

第4図は本発明に係るメモリ制御装置の概略構成をキャッシュメモリ、メモリとともに概略的に示したものである。アクセス元としてのキャッシュメモリ3または入出力処理装置からの転送元アドレス、転送先アドレス、転送回数およびアドレス更新モード情報はバス7を介しメモリ制御装置2に取り込まれたいずれも転送元アドレスカウンタ

202、転送先アドレスカウンタ203、アドレス更新モード指定レジスタ(1ビット)201にセットされるようになってい。図示されていないが転送路数は別に設けられている転送路数カウンタにセットされるものとなっている。しかし、レジスタ201によつてカウンタ202、203のカウンタモードを指定し、メモリ1における転送元メモリエリアよりアドレス単位にデータを読み出した後に即ちそのデータを転送先メモリエリアに書き込む度にカウンタ202、203を更新するようにすれば、転送元メモリエリアにおけるブロックデータは高速にして転送先メモリエリアに転送記憶されるものである。転送路数がセットされる転送路数カウンタはデータが転送記憶される度にデクリメントされ、そのカウンタ値が零となつた時点で転送記憶は終了されることとなるわけである。ところで、転送記憶が行なわれれば、転送先メモリエリアにおけるデータは転送記憶の前と後ではその内容が変更されることになるから、もしもキャッシュメモリ3が転送先メ

モリエリアに含まれるデータを記憶している場合には不都合を生じることになる。キャッシュメモリ3におけるキャッシュ無効化機構31については特願昭57-122153号に例示されているが、これによつてカウンタ203からのアドレスを監視することによつて、そのような不都合が生じさせないようにしている。即ち、自己内に記憶されているデータ対応のメモリ1上アドレスの各々とカウンタ203からのアドレスとを比較監視し、アドレスの一致が検出された場合にはそのアドレス対応のデータを無効なものとして処理しているわけである。

第5図はそのメモリ制御装置の一例での具体的な構成を示したものである。これによるとメモリ制御装置はバス占有制御関係としてバス占有選択回路205を、また、通常のメモリアクセス制御関係としてフアンクションレジスタ209、アドレスレジスタ208、書込データレジスタ207、読出データレジスタ211およびメモリアクセス制御回路210を有するものとなっている。更に

ブロックデータ転送関係としては既述の転送元アドレスカウンタ202、転送先アドレスカウンタ203、転送路数カウンタ204、アドレス更新モード指定レジスタ201の他に、ブロックデータ転送制御回路206を有するものとなっている。なお、第5図における符号212~222はゲートであり、その通過制御はメモリアクセス制御回路210やブロックデータ転送制御回路206によつてい。

さて、上記のようにしてなるメモリ制御装置の動作を説明すれば以下のようである。

先ず通常のメモリ読出のアクセス動作は、アクセス元としてのキャッシュメモリまたは入出力処理装置よりバス占有要求234がバス占有選択回路205に出力されることによつて開始されるものとなっている。第6図はこのメモリアクセス動作時の要出入力信号、入出力データを示したものである。バス占有要求234はアクセス元対応の信号線を介しバス占有選択回路205に入力されるが、バス占有選択回路205にはこの他メ

モリアクセス制御回路210、ブロックデータ転送制御回路206からのバス占有要求239、237が入力されるようになってい。バス占有選択回路205はバス占有要求があつた場合にはその何れか1つを選択したうえバス占有許可を与えるべく検定する。バス占有許可235はアクセス元に対して、また、バス占有許可238、236はそれぞれメモリアクセス制御回路210、ブロックデータ転送制御回路206に対して与えられるが、第6図はアクセス元からのバス占有要求234に対してバス占有許可235が与えられる場合を示しているものである。

バス占有許可235を受けたアクセス元はこれにより初めてバスを占有することが可能となり、フアンクション信号231およびアドレス信号232を転送するところとなるものである。これら信号はメモリ制御装置内のフアンクションレジスタ209、アドレスレジスタ208にセットされるが、メモリアクセス制御回路210によつてフアンクション信号231の内容がメモリ読出ア

クセスであるとデコードされた場合には、メモリに対し読出モードのメモリファンクション信号241とメモリアドレス信号242が与えられるようになっている。一方、メモリではそれら信号にもとづいて読み出されたデータはメモリデータ243としてメモリ応答240に同期して出力されるようになっている。メモリからのメモリデータ243は一旦読出データレジスタ211にセフトされるが、メモリ応答240にもとづきメモリアクセス制御回路210からはバス占有要求239がバス占有選択回路205に出力されるものとなっている。これに応じてバス占有選択回路205が選択の結果バス占有許可238を与えた場合にはメモリアクセス制御回路210は読出データレジスタ211の内容をデータ233としてバス上に出力する一方、アクセス元識別情報を応答230としてアクセス元に出力するようになっている。アクセス元ではそのアクセス元識別情報より自己が指定されていることを検出した場合には、そのデータ233を初めて取り込むようになっている。

203にセットした後は、転送回数およびアドレス更新モード情報を転送回数カウンタ204、アドレス更新モード指定レジスタ201に順次セットするところとなるものである。この場合アクセス元からの転送回数およびアドレス更新モード情報のセット要求はまたブロックデータ転送記憶開始要求を兼ねていることから、ブロックデータ転送制御回路206は転送回数およびアドレス更新モード情報のセット終了後に直ちにブロックデータの転送記憶を開始するところとなるものである。転送記憶については詳細に後述するところであるが、転送記憶が終了すればブロックデータ転送制御回路206からはその旨の応答230がアクセス元に返送されるようになっている。したがって、アクセス元にとっては通常の書きアクセスと全く同様なアクセスを3回連続的に行なった後は、転送記憶の終了した旨の応答を受けるだけで済まされるから、負担を少なくしてブロックデータの高速転送記憶を行ない得るものである。

ここで第8図により書きデータレジスタと転送

わけである。

メモリに対する通常の読出アクセスは以上のようなものであるが、これよりして通常の書きアクセスも同様に行なわれることになる。

次にブロックデータの転送記憶について説明する。第7図はその起動時の動作を中心にして示したものである。これによる場合アクセス元より通常のメモリアクセスと同様のバス占有プロトコルをふんでファンクションレジスタ209、書きデータレジスタ207にはそれぞれアクセス元からのファンクション信号231、データ233がセットされるようになっている。ファンクションレジスタ209の内容をデコードすることによって転送元アドレスの書き要求であることをブロックデータ転送制御回路206が検出した場合には、書きデータレジスタ207の内容は転送元アドレスカウンタ202にセットされ、また、応答230がアクセス元に返送されるようになっている。これによりアクセス元は次に上記の場合と同様にして転送元アドレスを転送元アドレスカウンタ

送回数カウンタ、アドレス更新モード指定レジスタとの関係を説明する。アクセス元からのデータ233は例えば32ビットとされるが、アドレス更新モード情報および転送回数はアクセス元より本例では同時に転送されるようになっている。このうち、アドレス更新モード情報は1ビットで十分であるから、残り31ビットを転送回数値として使用可能であるが、本例では1語32ビットとして最大255回1語で転送記憶されるようにしている。転送回数値として8ビット割当てられているものであるが、これに限定されるものでないことは勿論である。

さて、ブロックデータの転送記憶が如何にして行なわれるかを第9図により説明する。

アクセス元からの転送回数およびアドレス更新モード情報がセットされたならば、ブロックデータ転送制御回路206は先ずバス占有要求237をバス占有選択回路205に出力するようになされる。これに対する有許可236が得られたならば次に転送元アドレスカウンタ203の内容がアド

レス信号232として、また、これに同期して最初のデータに対する転送記憶が行なわれたことを示前記示すファンクション信号231が出力される。これによりキャッシュメモリではキャッシュ無効化機構によつて必要に応じデータの無効化が行なわれるものである。一方、これに並行して、ブロックデータ転送制御回路206はメモリアクション信号241を送出モードにして転送元アドレスカウンタ202の内容をメモリアドレス信号242としてメモリに出力することによつて、メモリよりメモリアドレス信号242対応のデータをメモリデータ243として読み出すようになっている。この場合メモリデータ243はバス上に一定時間存在すべくメモリより読み出されることから、メモリ応答240が得られてからメモリアクション信号241を送出モードにして転送先アドレスカウンタ203の内容をメモリアドレス信号242として出力するようになれば、メモリデータ243は転送先メモリエリアに転送記憶されるところとなるものである。したがつて、

転送元アドレスカウンタ204の内容が零となるまでの間、1つのデータに対する転送記憶が終了する度に転送元アドレスカウンタ204の内容をデクリメントし、しかも転送元、転送先のアドレスカウンタ202、203を所定に更新したうえ上記動作を繰り返すようにすればよいものである。

第10図はアドレス更新モード指定レジスタ201によつてアドレスカウンタ202、203が如何に制御されるかを示したものである。アドレスカウンタ202、203は何れもプリセット可とされた可逆カウンタとされ、ともにカウントアップ動作をするかカウントダウン動作をするかはアドレス更新モード指定レジスタ201としてのフリップフロップの出力状態によつて決定される。セット出力246、リセット出力245によつてアドレスカウンタ202、203より発生されるメモリアドレス信号242の更新方向を制御するのである。本例ではセット状態にある場合はカウントダウン制御されるようになっている。なお、アドレス更新タイミング信号247はブロックデ

ータ転送制御回路206がデータ転送記憶に伴うメモリ応答240にもとづいて作成するものである。

最後にブロックデータ転送記憶に係るマイクロプログラムのフローについて説明する。第11図は主処理領域内で実行されるそのマイクロプログラムのフローを示したものである。これによる場合先ずビットパターン「000000FF」(16進表示)と転送回数(DC)とが論理積(AND)されその結果は、テンポラリワークレジスタWK1に格納されるようになっている。これは、転送回数の最大値が「FF」(4ビット位に16進表示)であることから、不足である上位24ビットを強制的に「0」にしておく必要があるからである。次に転送元、転送先の先頭アドレスがそれぞれテンポラリワークレジスタWK2、WK3に格納されたうえその大小関係が判定されるものとなっている。この判定の結果如何によつて転送元アドレス、転送先アドレスとして転送元先頭アドレス、転送先先頭アドレスか、または転

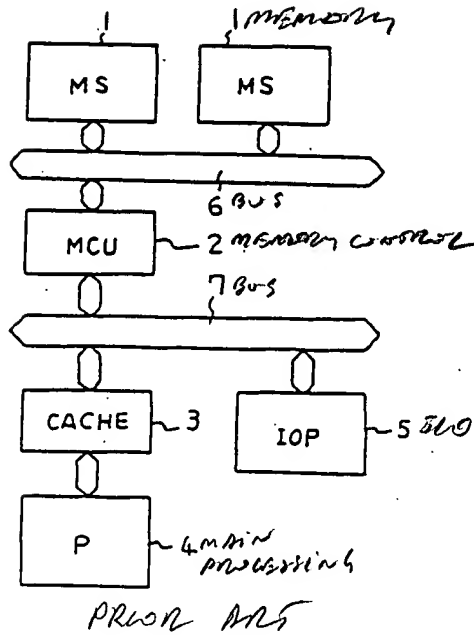
送元末尾アドレス、転送先末尾アドレスがメモリアクション装置に転送されるものである。転送元アドレス、転送先アドレスとして転送元末尾アドレス、転送先末尾アドレスが転送される場合にはテンポラリワークレジスタWK1の内容はビットパターン「80000000」と論理和(OR)されているが、これは、アドレス更新モード情報(F)を「1」とするためである。

本発明は以上のようなものであるが、転送先メモリエリアと転送先メモリエリアが完全に一致する場合でも適用し得ることは勿論である。

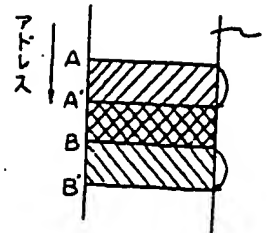
(発明の効果)

以上説明したように本発明は、転送記憶の要求が生じたアクセス元からの転送元アドレス、転送先アドレス、転送回数およびアドレス更新モード情報を受けてメモリアクション装置が転送元、転送先のアドレスをアドレス更新モード情報に応じた方向に更新するようにしてブロックデータを同一メモリ上で転送記憶させるようにしたものである。したがつて、本発明による場合は、同一メモリ上に

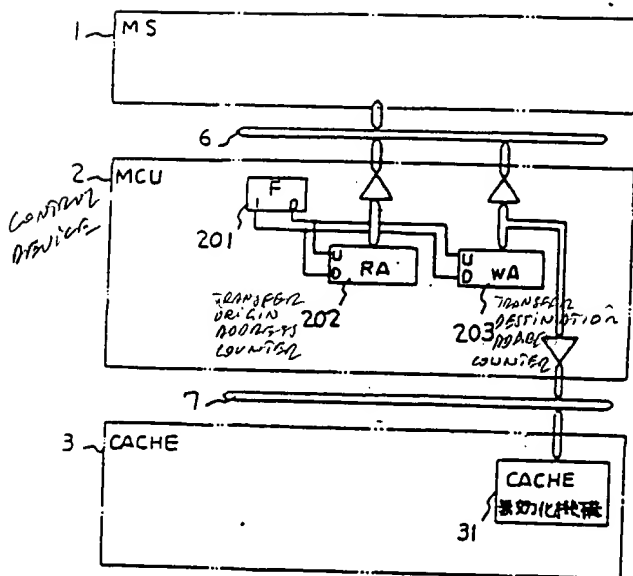
第 2 図



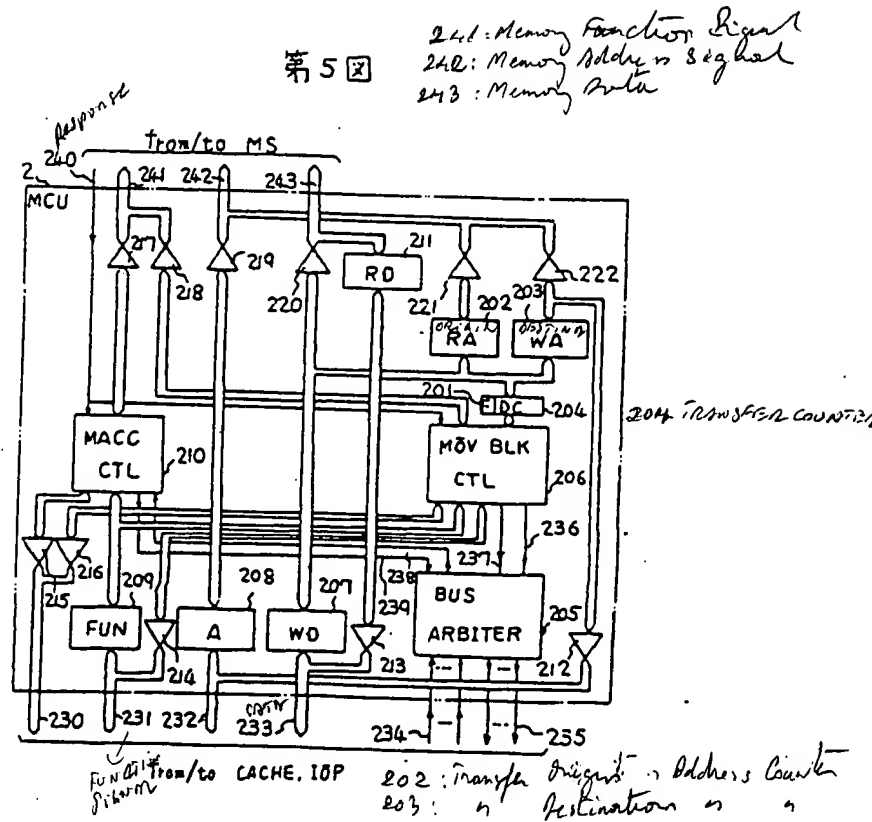
第 3 図



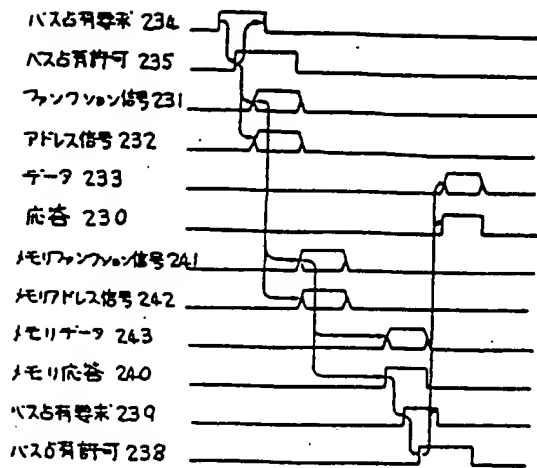
第 4 図 INVENTION



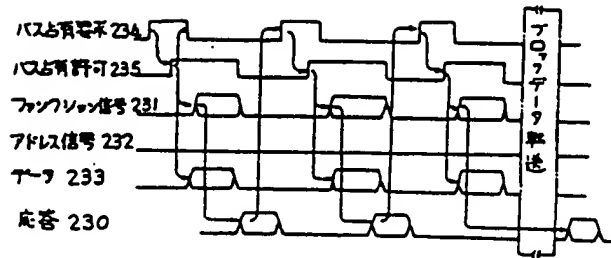
第 5 図



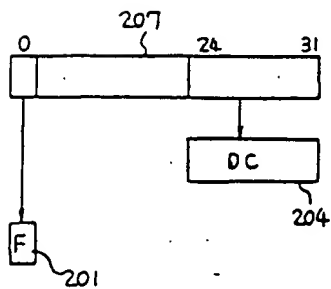
第6回



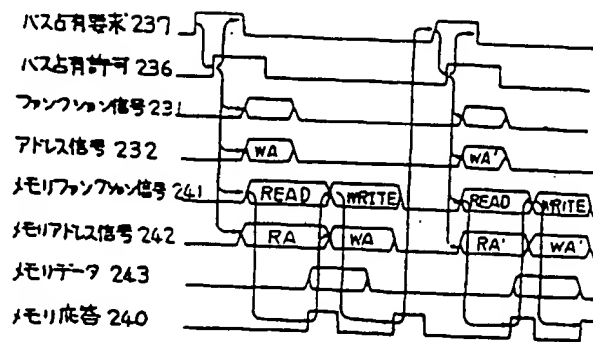
第7回



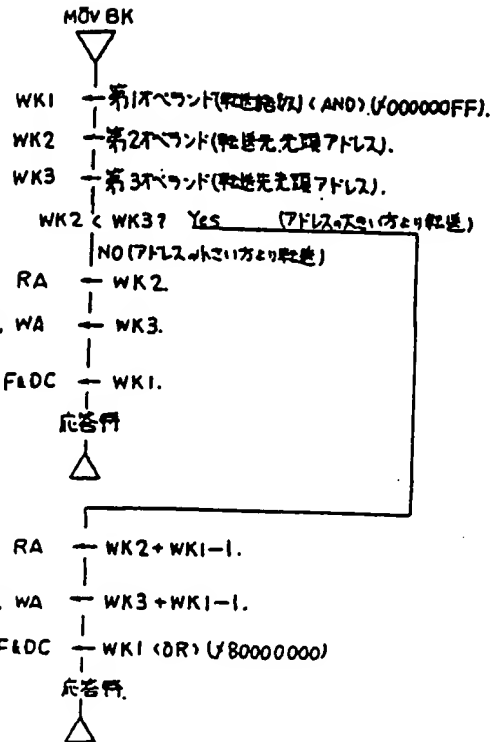
第 8 圖



第 9 圖



第11図



第10図

